

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-119128

(43)Date of publication of application : 28.04.1994

(51)Int.CI.

G06F 3/08
G11C 17/00

(21)Application number : 04-267212

(71)Applicant : TOSHIBA CORP

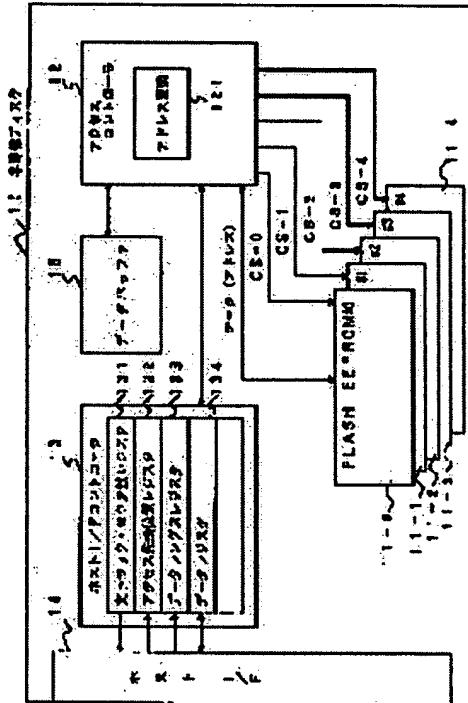
(22)Date of filing : 06.10.1992

(72)Inventor : SUKEGAWA HIROSHI

(54) SEMICONDUCTOR DISK DEVICE

(57)Abstract:

PURPOSE: To increase the speed of access to the semiconductor disk device which uses a flash EEPROM.
CONSTITUTION: Plural successive sector numbers are assigned crossing flash EEPROM chips 11-0-11-4 of the semiconductor disk device 10 and the contents of the assignment are held in an address conversion table 121 as address conversion information for converting a logical address from a host CPU into a real memory address. Consequently, when a host CPU specifies successive sector numbers in the same track, plural flash EEPROMs are accessed at the same time. Therefore, the speed of access to the semiconductor device 10 can be increased by the existent disk access method of the host CPU which puts successively accessed sectors together on the same track and the semiconductor disk device 10 is effectively usable as a disk substitute.



LEGAL STATUS

[Date of request for examination] 12.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3105092

[Date of registration] 01.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-119128

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

G 0 6 F 3/08

G 1 1 C 17/00

識別記号 庁内整理番号

H 7165-5B

C 6741-5L

F I

技術表示箇所

(21)出願番号

特願平4-267212

(22)出願日

平成4年(1992)10月6日

審査請求 未請求 請求項の数2(全9頁)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 助川 博

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

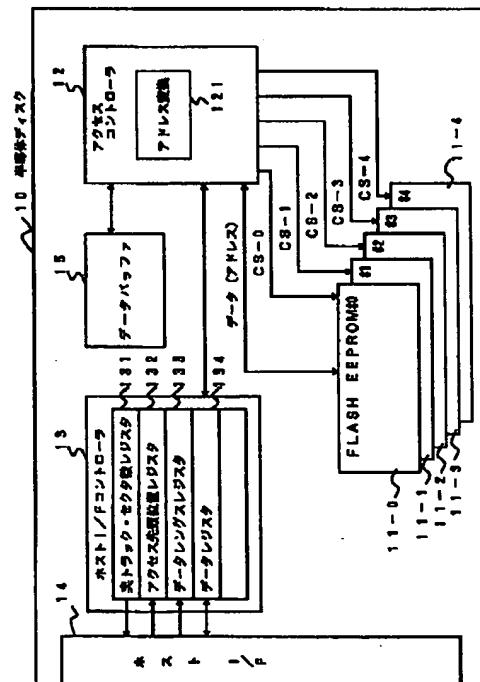
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体ディスク装置

(57)【要約】

【目的】 フラッシュEEPROMを使用した半導体ディスク装置のアクセス速度の向上を図る。

【構成】 連続する複数のセクタ番号が半導体ディスク装置10のフラッシュEEPROMチップ11-0～11-4に横断して割り当てられており、その割り当ての内容が、ホストCPUからの論理アドレスを実メモリアドレスに変換するためのアドレス変換情報としてアドレス変換テーブル121保持される。このため、ホストCPUによって同一トラック内の連続するセクタ番号が指定された時に、複数のフラッシュEEPROMが同時アクセスされる。したがって、連続アクセスするセクタを同一トラックにまとめるというホストCPUの既存のディスクアクセス手法によって半導体ディスク装置10のアクセス速度を向上でき、半導体ディスク装置10をディスク代替として有効利用することが可能となる。



1

【特許請求の範囲】

【請求項1】複数のフラッシュEEPROMチップを備えた半導体ディスク装置において、

トラック番号およびセクタ番号によって指定されるホストシステムからの論理アドレスを、アドレス変換情報に従って前記複数のフラッシュEEPROMチップをアクセスするための実メモリアドレスに変換するアドレス変換手段と、

このアドレス変換手段によって変換された実メモリアドレスに従って、前記複数のフラッシュEEPROMチップをリード/ライトアクセスするメモリアクセス手段と、

このメモリアクセス手段によって前記複数のフラッシュEEPROMチップが同時アクセスされるように連続する複数のセクタ番号を前記複数のフラッシュEEPROMチップに横断して割り当てる、その割り当て結果を前記アドレス変換情報として保持する手段とを具備することを特徴とする半導体ディスク装置。

【請求項2】前記複数のフラッシュEEPROMチップに割り当てられた1トラック当たりのセクタ数を示す構成情報を前記ホストシステムに呈示する手段をさらに具備することを特徴とする請求項1記載の半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、電気的に一括消去可能な不揮発メモリであるフラッシュEEPROMを備えた半導体ディスク装置に関する。

【0002】

【従来の技術】従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ピット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に弱いなどの欠点を持つ。

【0003】すなわち、磁気ディスク装置は、磁気ヘッドを回転ディスク表面に走らせることによって、データを回転ディスク上に磁気的に書き込む、あるいはそれらを読み出すという動作原理である。この回転ディスクや磁気ヘッドといった機械的な可動部分は、装置に物理的な衝撃が与えられることによって当然誤動作や故障が発生する恐れがある。またそのような機械的可動部を必要とする事が、装置全体のサイズを小さくする障害となっている。

【0004】このため、磁気ディスク装置は、机上に固定して使用するデスクトップタイプのコンピュータで用いるにはあまり支障とならないが、持ち運び可能で小型なラップトップコンピュータやノートブックコンピュータにおいては、これらの欠点は大きな問題となる。

【0005】そこで、近年、装置のサイズが小さく物理

10

20

30

40

2

的な衝撃にも強い半導体ディスク装置に注目が集まっている。半導体ディスク装置とは、電気的に一括消去可能な不揮発メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。この半導体ディスク装置には、磁気ディスク装置のような機械的な可動部分がないため、物理的な衝撃による誤動作や故障は発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0006】この半導体ディスク装置をディスク代替として使用する場合には、ホストシステムからの論理アドレスが半導体ディスク装置内の実アドレスに変換される。この変換は、ホストシステムからの論理アドレスによって与えられるトラック番号およびセクタ番号と、半導体ディスク装置内のフラッシュEEPROMを選択的にアクセスするための実メモリアドレスとを対応付けることによって行なわれる。

【0007】しかしながら、ホストシステムからのトラック番号およびセクタ番号をどのように内部的な実メモリアドレスに対応させるかについては、その手法は確立されてない。

【0008】このため、半導体ディスク装置の場合には、同一トラック内に連続データを配置することによってトラック渡りの頻度を極力押さえるというホストシステムの従来のディスクアクセス手法を有効に利用することができない。

【0009】

【発明が解決しようとする課題】従来では、ホストシステムの従来のディスクアクセス手法を適用することができず、半導体ディスク装置をディスク代替として有効利用することが困難であった。

【0010】この発明はこのような点に鑑みてなされたもので、同一トラック内の連続するセクタ番号が指定された時に複数のフラッシュEEPROMが同時にアクセスされるように構成し、連続アクセスするセクタを同一トラックにまとめるというホストシステムの既存のディスクアクセス手法を有効利用することができる半導体ディスク装置を提供することを目的とする。

【0011】

【課題を解決するための手段および作用】この発明は、複数のフラッシュEEPROMチップを備えた半導体ディスク装置において、トラック番号およびセクタ番号によって指定されるホストシステムからの論理アドレスを、アドレス変換情報に従って前記複数のフラッシュEEPROMチップをアクセスするための実メモリアドレスに変換するアドレス変換手段と、このアドレス変換手段によって変換された実メモリアドレスに従って、前記複数のフラッシュEEPROMチップをリード/ライトアクセスするメモリアクセス手段と、このメモリアクセス手段によって前記複数のフラッシュEEPROMチッ

50

が同時アクセスされるように連続する複数のセクタ番号を前記複数のフラッシュEEPROMチップに横断して割り当て、その割り当て結果を前記アドレス変換情報として保持する手段とを具備することを特徴とする。

【0012】この半導体ディスク装置においては、連続する複数のセクタ番号が前記複数のフラッシュEEPROMチップに横断して割り当てられており、その割り当ての内容がホストシステムからの論理アドレスを実メモリアドレスに変換するためのアドレス変換情報として保持される。このため、ホストシステムによって同一トラック内の連続するセクタ番号が指定された時に、複数のフラッシュEEPROMが同時アクセスされる。したがって、連続アクセスするセクタを同一トラックにまとめるというホストシステムの既存のディスクアクセス手法によって半導体ディスク装置のアクセス速度を向上でき、半導体ディスク装置をディスク代替として有効利用することが可能となる。

【0013】

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0014】図1にはこの発明の一実施例に係わる半導体ディスク装置の構成が示されている。この半導体ディスク装置10は、ハードディスク装置やフロッピーディスク装置の代替としてパーソナルコンピュータの2次記憶装置として使用されるものであり、例えば、PCMCIAインターフェース、またはIDEインターフェースを有する。この半導体ディスク装置10は、データ記憶用素子としてフラッシュEEPROM11-0～11-4を備えている。

【0015】これらフラッシュEEPROMチップ11-0～11-4においては、書き込みや消去を行う際に扱うデータ量に最低単位が定まっており、その単位分のデータが一括して扱われる。ここでは、一例として、フラッシュEEPROM11-0～11-4は、256バイトのページ単位でデータ書き込みを行なえ、データ消去単位が4Kバイトのブロック単位である場合を想定する。この場合、これらフラッシュEEPROMとしては、NAND型のフラッシュEEPROMを使用することが好ましい。

【0016】また、この半導体ディスク装置10は、アクセスコントローラ12、ホストインターフェースコントローラ13、ホストインターフェース14、およびデータバッファ15を備えている。アクセスコントローラ12は、ホストインターフェース14およびホストインターフェースコントローラ13を介してホストCPUから供給されるディスクアクセス要求に応じて、フラッシュEEPROMチップ11-0～11-4をアクセス制御する。

【0017】このアクセスは、フラッシュEEPROMチップの動作モードをコマンドによって指定するコマン

ド方式で実現できる。すなわち、アクセスコントローラ12は、まず、フラッシュEEPROMチップの動作モード（ライト、リード、消去、ペリファイ等）をデータによって指定し、次いでアクセス位置を示すアドレス（ライトモードの時は、アドレスおよびライトデータ）をフラッシュEEPROMチップに供給する。フラッシュEEPROMチップには、例えば256バイトの入出力レジスタが設けられている。このため、例えばライトモードにおいては、そのレジスタにライトデータがアクセスコントローラ12によって転送された後は、フラッシュEEPROMチップ内部でライト動作が実行されるので、アクセスコントローラ12はそのライトアクセスの制御から解放される。

【0018】このアクセスコントローラ12には、アドレス変換テーブル121が設けられている。アドレス変換テーブル121には、ホストCPUからの論理アドレス（トラック番号、セクタ番号）とフラッシュEEPROMチップ11-0～11-4をアクセスするための実アドレスとの対応関係が定義されている。この場合、同一トラック内の連続するセクタ番号は、フラッシュEEPROMチップ11-0～11-4に横断配置されている。

【0019】ホストインターフェース14は、ホストシステムバスに接続可能なハードディスク装置と同様に例えばIDEインターフェースに準拠した40ピンのピン配置、またはICカードスロットに接続可能なICカードと同様に例えばPCMCIAインターフェースに準拠した68ピンのピン配置を有している。

【0020】ホストインターフェースコントローラ13は、ホストインターフェース14とアクセスコントローラ12間のインターフェースとして使用されるものであり、実トラック・セクタ数レジスタ131、アクセス先頭位置レジスタ132、データレンジスレジスタ133、およびデータレジスタ134を備えている。これらレジスタは、ホストCPUによってリード／ライト可能である。

【0021】実トラック・セクタ数レジスタ131は、フラッシュEEPROMチップ11-0～11-4に割り当てられた1トラック当たりのセクタ数を示す情報を保持する。この情報は、ホストCPUによってリードされる。アクセス先頭位置レジスタ132には、ホストCPUによって指定されるアクセス先頭位置論理アドレスがライトされる。データレンジスレジスタ133には、ホストCPUによって指定されるデータレンジスを示すデータがライトされる。データレジスタ134には、ホストCPUから入力されるライトデータまたはホストCPUに出力されるリードデータが設定される。

【0022】データバッファ15は、ホストCPUから送られてきたライトデータやフラッシュメモリ11-0～11-4からの読み出しデータを保持する。アクセス

コントローラ12は、フラッシュEEPROM11-0～11-4の選択、およびその選択したフラッシュEEPROMに対するデータのリード／ライト制御等を行う。この場合、アクセスコントローラ12は、アドレス変換テーブル121から出力されるメモリチップ番号に対応するフラッシュEEPROMを選択するために、フラッシュEEPROM11-0～11-4にチップ選択信号CS-0～CS-4を選択的に供給する。また、アクセスコントローラ12は、アドレス変換テーブル121から出力されるメモリアドレスを先頭アドレスとして発生し、そしてホストCPUから送られてきたデータサイズ分のデータのリード／ライト動作が実行されるように、その先頭アドレスを順次カウントアップする。次に、図2を参照して、フラッシュEEPROM11-0～11-4に対するアドレス割り当ての原理を説明する。

【0023】図2において、〔〕は書き込み単位を表しており、〔〕内の左側の数字00, 01, 02, 03, 04, 05…はホストCPUから見たトラック番号、右側の数字00, 01, 02, 03, 04…はホストCPUから見たセクタ番号を示している。

【0024】このように、フラッシュEEPROM11-0～11-4の書き込み単位には、それらフラッシュEEPROM11-0～11-4に横断してホストCPUから見た同一トラックの連続するセクタ番号が割り当てられる。これにより、ホストCPUが同一トラック内の連続する5つのセクタに対して書き込み指示した場合には、フラッシュEEPROM11-0～11-4が同時に書き込み駆動され、これによって5つのセクタに対する書き込み処理が同時実行される。

【0025】図3には、フラッシュEEPROM11-0の書き込み単位／消去単位が示されている。図示のように、フラッシュEEPROM11-0は、その消去ブロックのサイズが4Kバイトであり、その4Kバイトの各消去ブロック内では256バイトのページ単位で書き込みが実行されるように構成されている。通常、1セクタのデータサイズは512バイトであるので、ここでは、2ページで1セクタが構成される。また、ここでは、フラッシュEEPROM11-0が、16Mビット(4Kバイト×256)のメモリチップである場合が想定されている。

【0026】このフラッシュEEPROM11-0においては、例えば、第1の消去ブロックを一旦消去した後においては、256バイト単位のデータ書き込みを、消去動作なしで最大16回行なうことができる。つまり、8セクタ分のデータ書き込みを、消去動作なしで行なうことができる。

【0027】次に、図4および図5を参照し、フラッシュEEPROM11-0～11-4が全て図3のよう構成されている場合におけるそれらフラッシュEEPROM11-0～11-4に対する実際のアドレス割り当

ての一例を説明する。

【0028】図4に示されているように、各フラッシュEEPROM11-0～11-4の消去ブロックの4Kバイトには、連続する8個のセクタが割り付けられる。そして、フラッシュEEPROM11-0～11-4の対応する5個の消去ブロックによって1トラックが構成されている。

【0029】この場合、図5から明らかなように、フラッシュEEPROM11-0の第1消去ブロックにはトラック0のセクタ0～セクタ7が割り付けられ、フラッシュEEPROM11-1の第1消去ブロックにはトラック0のセクタ8～セクタ15が割り付けられ、フラッシュEEPROM11-2の第1消去ブロックにはトラック0のセクタ16～セクタ23が割り付けられ、フラッシュEEPROM11-3の第1消去ブロックにはトラック0のセクタ24～セクタ31が割り付けられ、フラッシュEEPROM11-4の第1消去ブロックにはトラック0のセクタ32～セクタ39が割り付けられる。この割付けにおいては、1トラック当たりのセクタ数は40セクタとなり、1トラックは20Kバイト(512バイト×40)となる。図6には、このようなアドレス割付けが成されている場合におけるアドレス変換回路テーブル121の構成例が示されている。

【0030】図示のように、変換テーブル121には、ホストCPUによって指定される論理アドレス(トラックNO, セクタNO,)とフラッシュEEPROM11-0～11-4をアクセスするための実メモリアドレス(チップNO, ブロックNO, ページNO)との対応が定義されている。チップNO#0は、フラッシュEEPROM11-0を示し、チップNO#1はフラッシュEEPROM11-1を示し、またチップNO#4はフラッシュEEPROM11-4を示している。

【0031】この変換テーブル121を使用した場合、例えば、ホストCPUによってトラック0のセクタ0が指定された時は、アクセスコントローラ12によってフラッシュEEPROM11-0に対応するチップ選択信号CS-0がアクティブステートに設定される。この結果、フラッシュEEPROM11-0がアクセス可能となり、フラッシュEEPROM11-0のブロック0のページ0, ページ1がリードまたはライトアクセスされる。同様に、ホストCPUによってトラック0のセクタ32が指定された時は、アクセスコントローラ12によってフラッシュEEPROM11-4に対応するチップ選択信号CS-4がアクティブステートに設定される。この結果、フラッシュEEPROM11-4がアクセス可能となり、フラッシュEEPROM11-4のブロック0のページ0, ページ1がリードまたはライトアクセスされる。次に、図7を参照して、半導体ディスク装置10のデータ書き込み動作を説明する。

【0032】ここでは、ホストCPUによってトラック

0のセクタ0がアクセス先頭位置として指定され、データサイズが12Kバイトの場合を想定する。この場合、トラック0のセクタ0からトラック0のセクタ23までがライトアクセス対象となる。トラック0のセクタ0はフラッシュEEPROMチップ11-0のブロック0のページ0、ページ1に対応し、トラック0のセクタ23はフラッシュEEPROMチップ11-2のブロック0のページ143、ページ15に対応する。従って、フラッシュEEPROMチップ11-0～11-2それぞれのブロック0がライトアクセス対象となる。

【0033】まず、ホストCPUからアクセスコントローラ12を介してデータバッファ15に12Kバイト(24セクタ分)のデータが転送される。この転送期間においては、フラッシュEEPROMチップ11-0～11-2それぞれのブロック0についての消去動作が実行される。

【0034】次いで、データバッファ15に格納されている最初の256バイトのデータ(セクタ0の最初の1/2のデータ)が、アクセスコントローラ12によってフラッシュEEPROMチップ11-0内のレジスタに転送される(P1)。そして、フラッシュEEPROMチップ11-0がライトモードで動作し、ブロック0、ページ0の書き込み動作が実行される。このフラッシュEEPROMチップ11-0のライト動作の期間中は、アクセスコントローラ12によるチップ11-0の動作制御は不要である。

【0035】このため、アクセスコントローラ12は、フラッシュEEPROMチップ11-0へのデータ転送を終了すると、今度は、フラッシュEEPROMチップ11-1へのデータ転送を開始する。この場合、フラッシュEEPROMチップ11-1のブロック0のページ0はセクタ8の最初の1/2に相当するので、セクタ8の1/2のデータがアクセスコントローラ12によってフラッシュEEPROMチップ11-1内のレジスタに転送される(P2)。そして、フラッシュEEPROMチップ11-1がライトモードで動作し、ブロック0、ページ0の書き込み動作が実行される。このフラッシュEEPROMチップ11-1のライト動作の期間中も、アクセスコントローラ12によるチップ11-1の動作制御は不要である。

【0036】次いで、アクセスコントローラ12は、フラッシュEEPROMチップ11-1へのデータ転送を終了すると、フラッシュEEPROMチップ11-2へのデータ転送を開始する。この場合、フラッシュEEPROMチップ11-2のブロック0のページ0はセクタ16の最初の1/2に相当するので、セクタ16の1/2のデータがアクセスコントローラ12によってフラッシュEEPROMチップ11-2内のレジスタに転送される(P3)。そして、フラッシュEEPROMチップ11-2がライトモードで動作し、ブロック0、ページ

0の書き込み動作が実行される。

【0037】この後、アクセスコントローラ12は、フラッシュEEPROMチップ11-0のライト動作が終了するのを待って、セクタ0の残りの1/2のデータをフラッシュEEPROMチップ11-0のレジスタに転送する。

【0038】このようにして、フラッシュEEPROMチップ11-0～11-2に対するデータ転送、およびそれらフラッシュEEPROMチップ11-0～11-2のライト動作が実質的に同時実行される。

【0039】以上のように、この実施例においては、連続する複数のセクタ番号がフラッシュEEPROMチップ11-0～11-4に横断して割り当てられており、その割り当ての内容が、ホストCPUからの論理アドレスを実メモリアドレスに変換するためのアドレス変換情報としてアドレス変換テーブル121保持される。このため、ホストCPUによって同一トラック内の連続するセクタ番号が指定された時に、複数のフラッシュEEPROMが同時アクセスされる。したがって、連続アクセスするセクタを同一トラックにまとめるというホストCPUの既存のディスクアクセス手法によって半導体ディスク装置10のアクセス速度を向上でき、半導体ディスク装置10をディスク代替として有効利用することが可能となる。

【0040】また、前述のアドレス割り当てによって決定される1トラック当たりのセクタ数は実トラック・セクタ数レジスタ131に格納されており、その実トラック・セクタ数レジスタ131の情報がホストCPUによって読み取られるので、ホストCPUは半導体ディスク装置10の構成に適合した形でアクセス指定することができる。

【0041】

【発明の効果】以上詳記したようにこの発明によれば、同一トラック内の連続するセクタ番号が指定された時に複数のフラッシュEEPROMが同時アクセス可能となるので、連続アクセスするセクタを同一トラックにまとめるというホストシステムの既存のディスクアクセス手法を有効利用することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ディスク装置の構成を示すブロック図。

【図2】同実施例の半導体ディスク装置に設けられている複数のフラッシュEEPROMチップに対するアドレス割り当ての原理を説明するための図。

【図3】同実施例の半導体ディスク装置に設けられている複数のフラッシュEEPROMチップのデータ書き込み単位/消去単位の一例を説明するための図。

【図4】同実施例の半導体ディスク装置に設けられている複数のフラッシュEEPROMチップに対するアドレス割り当ての具体例を説明する図。

【図5】同実施例の半導体ディスク装置に設けられている複数のフラッシュEEPROMチップに対するアドレス割り当ての具体例を説明する図。

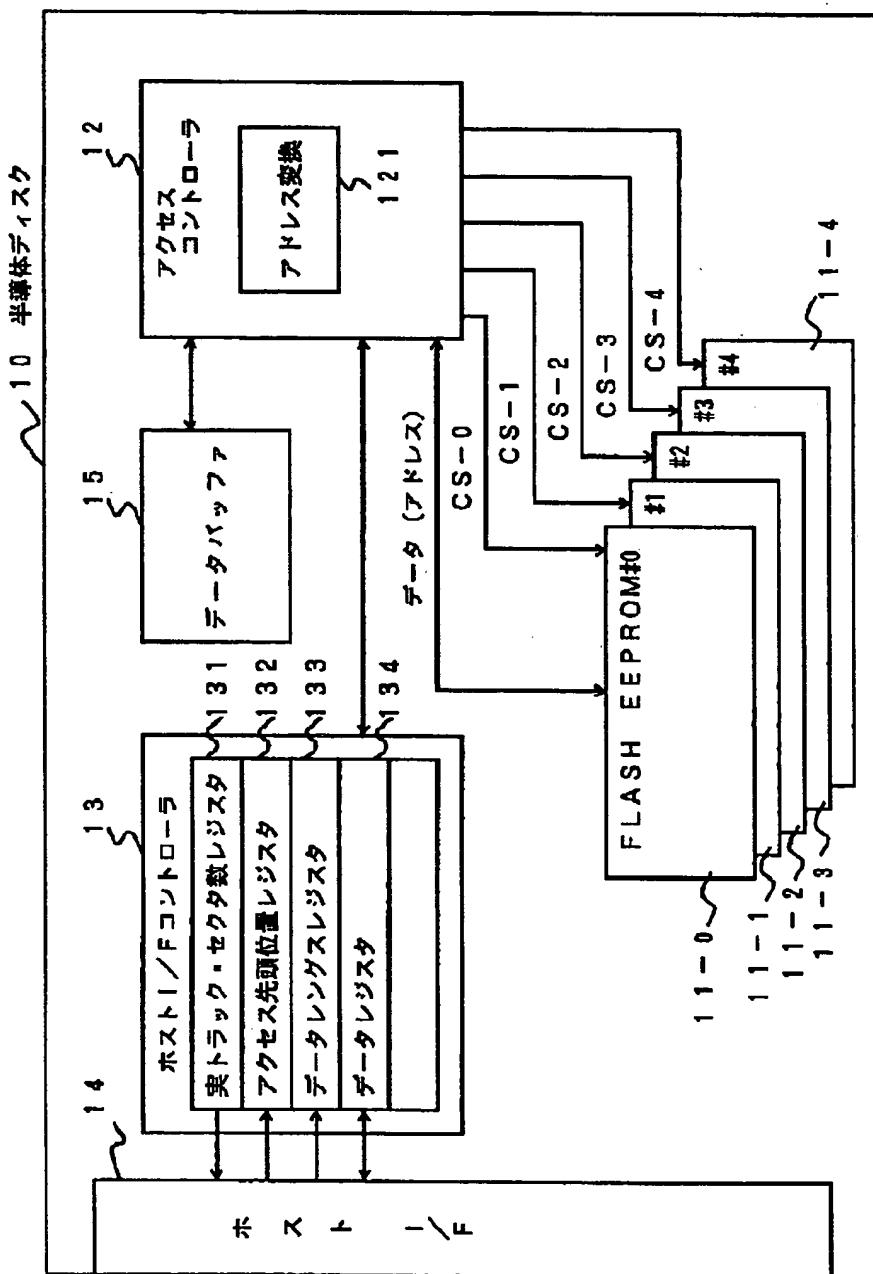
【図6】同実施例の半導体ディスク装置に設けられているアドレス変換テーブルの構成例を示す図。

【図7】同実施例の半導体ディスク装置のデータ書き込み動作を説明するための図。

【符号の説明】

10…半導体ディスク装置、11-0～11-4…フラッシュEEPROM、12…アクセスコントローラ、13…ホストインターフェースコントローラ、14…ホストインターフェース、15…データバッファ、121…アドレス変換テーブル。

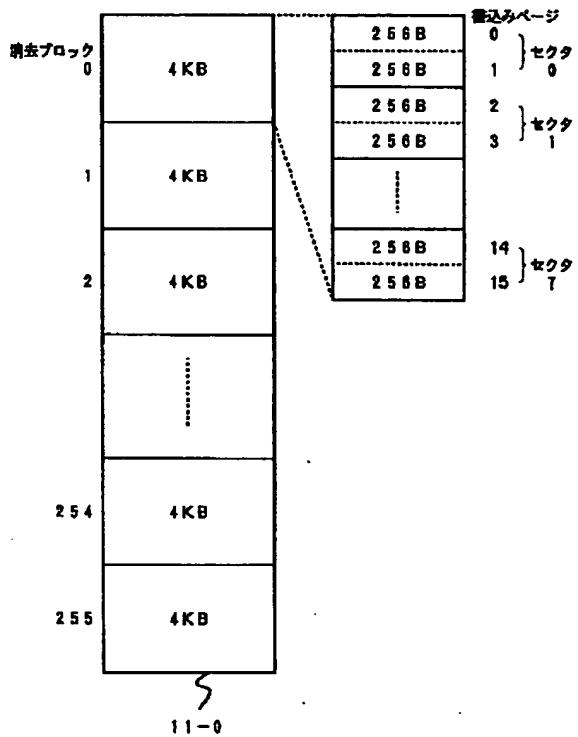
【図1】



【図2】

トラックNo	0'0	0'1	0'2	0'3	0'4	セクタNo
00	[00, 00]	[00, 01]	[00, 02]	[00, 03]	[00, 04]	同時書き込み可能
01	[01, 00]	[01, 01]	[01, 02]	[01, 03]	[01, 04]	
02	[02, 00]	[02, 01]	[02, 02]	[02, 03]	[02, 04]	
03	[03, 00]	[03, 01]	[03, 02]	[03, 03]	[03, 04]	
04	[04, 00]	[04, 01]	[04, 02]	[04, 03]	[04, 04]	
05	[05, 00]	[05, 01]	[05, 02]	[05, 03]	[05, 04]	
...	
	#0	#1	#2	#3	#4	
	11-0	11-1	11-2	11-3	11-4	

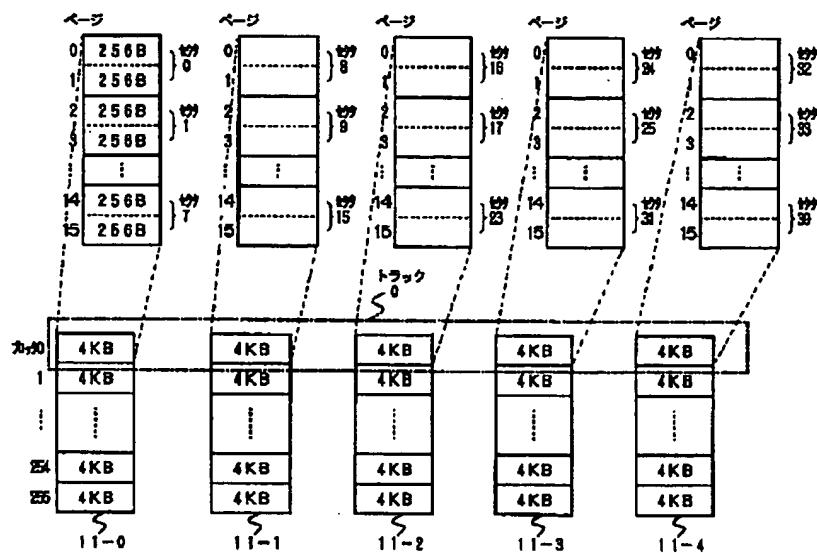
【図3】



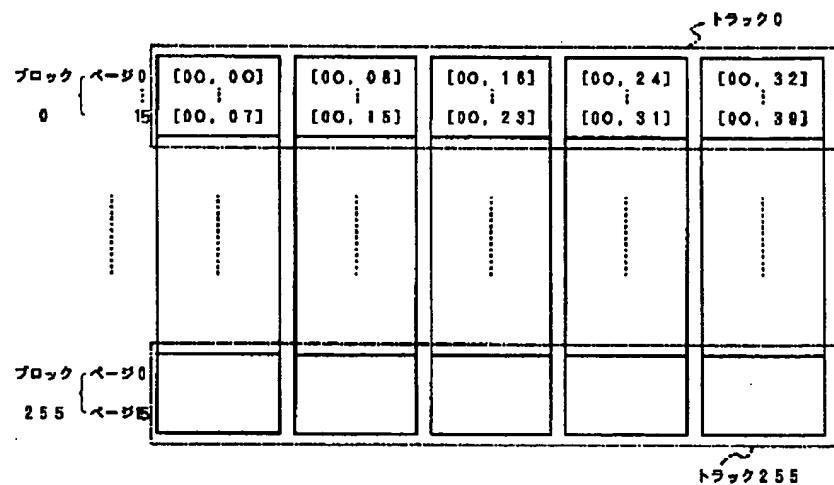
【図6】

アドレス変換テーブル 121				
論理アドレス	実メモリアドレス			
トラックNo	セクタNo	チップNo	ブロックNo	ページNo
0	0	#0	0	(0, 1) ↓ (14, 15)
	1	#1		(0, 1) ↓ (14, 15)
	8	#1		(0, 1) ↓ (14, 15)
	15			(0, 1) ↓ (14, 15)
	32	#4		(0, 1) ↓ (14, 15)
	39			(0, 1) ↓ (14, 15)
	0	#0	1	(0, 1) ↓ (14, 15)
	1	#1		(0, 1) ↓ (14, 15)
	8	#1		(0, 1) ↓ (14, 15)
	15			(0, 1) ↓ (14, 15)
	32	#4		(0, 1) ↓ (14, 15)
	39			(0, 1) ↓ (14, 15)
2	0	#0	3	(0, 1) ↓ (14, 15)
	1	#1		(0, 1) ↓ (14, 15)
	8	#1		(0, 1) ↓ (14, 15)
	15			(0, 1) ↓ (14, 15)

[図4]



[図5]



【図7】

